

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0072256
Application Number PATENT-2002-0072256

출원년월일 : 2002년 11월 20일
Date of Application NOV 20, 2002

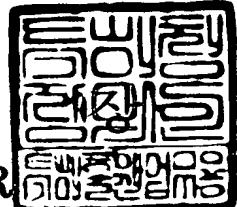
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002년 12월 23일

특허청

COMMISSIONER





1020020072256

출력 일자: 2002/12/24

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.20
【국제특허분류】	H01L 23/28
【발명의 명칭】	더미 와이어를 이용한 열방출형 적층 칩 패키지
【발명의 영문명칭】	Stack chip package of heat emission type using dummy wire
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	정태경
【성명의 영문표기】	CHUNG, Tae Gyeong
【주민등록번호】	631005-1921815
【우편번호】	440-301
【주소】	경기도 수원시 장안구 정자1동 대림/진흥아파트 821동 1803호
【국적】	KR
【발명자】	
【성명의 국문표기】	안은철
【성명의 영문표기】	AWN, Eun Chul
【주민등록번호】	660816-1011022



1020020072256

출력 일자: 2002/12/24

【우편번호】 330-090
【주소】 충청남도 천안시 쌍용2동 주공아파트 9단지 404동 202호
【국적】 KR
【발명자】
【성명의 국문표기】 박희진
【성명의 영문표기】 PARK, Hee Jin
【주민등록번호】 700410-1226817
【우편번호】 336-711
【주소】 충청남도 아산시 배방면 삼성반도체온양사업장 성실동 602호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
윤동열 (인) 대리인
이선희 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 3 면 3,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 429,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 위임장[1999년1월 21일 포괄
위임등록, 1999년 3월 15일 복대리인선 임]_1통

【요약서】**【요약】**

본 발명은 더미 와이어를 이용한 열방출형 적층 칩 패키지에 관한 것으로, 적층된 반도체 칩 사이에 정체하는 열을 패키지 외부로 신속히 방출시키기 위해서, 다수개의 열 방출용 더미 와이어가 반도체 칩과 반도체 칩 사이를 경유하게 하고, 더미 와이어의 양 단을 반도체 칩들이 부착되는 기판에 본딩함으로써, 반도체 칩 사이에 발생되는 열을 더미 와이어와 기판을 통하여 외부로 방출하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지를 제공한다.

【대표도】

도 5

【색인어】

적층, 열, 방출, 와이어, 패키지



【명세서】

【발명의 명칭】

더미 와이어를 이용한 열방출형 적층 칩 패키지{Stack chip package of heat emission type using dummy wire}

【도면의 간단한 설명】

도 1은 종래기술에 따른 적층 칩 패키지를 보여주는 단면도이다.

도 2는 도 1의 적층 칩 패키지의 열 특성을 테스트한 모의실험한 도면이다.

도 3은 본 발명의 제 1 실시예에 따른 더미 와이어를 이용한 열방출형 적층 칩 패키지를 보여주는 평면도이다.

도 4는 도 3의 4-4선 단면도이다.

도 5는 도 3의 5-5선 단면도이다.

도 6은 본 발명의 제 2 실시예에 따른 더미 와이어를 이용한 열방출형 적층 칩 패키지를 보여주는 평면도이다.

도 7은 본 발명의 제 3 실시예에 따른 더미 와이어를 이용한 열방출형 적층 칩 패키지를 보여주는 평면도이다.

도 8은 본 발명의 제 4 실시예에 따른 더미 와이어를 이용한 열방출형 적층 칩 패키지를 보여주는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

110, 210, 310, 410 : 기판 111, 211, 311, 411 : 기판 패드

111a, 211a, 311a, 411a : 더미 패드 115, 415 : 솔더 볼 패드

115a, 415a : 더미 솔더 볼 패드 116, 416 : 비아

116a, 416a : 더미 비아

121, 221, 321, 421 : 제 1 칩

223a, 323a : 더미 전극 패드 122, 222, 322, 422 : 제 2 칩

132, 232, 332, 432 : 제 1 본딩 와이어 134, 434 : 제 2 본딩 와이어

136, 236, 336, 436, 438 : 더미 와이어 140, 440 : 비전도성 접착제

150, 450 : 수지 봉합부 160, 460 : 솔더 볼

160a, 460a : 더미 솔더 볼 패드

200, 300, 400, 500 : 적층 칩 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 적층 칩 패키지에 관한 것으로, 더욱 상세하게는 적층된 반도체 칩 사이에 정체하는 열을 외부로 신속히 방출시킬 수 있는 더미 와이어를 이용한 열방출형 적층 칩 패키지에 관한 것이다.

<22> 일반적인 반도체 웨이퍼(semiconductor wafer)는 평면이기 때문에, 한 평면내에 반도체 소자의 집적도를 향상시키는 데 한계가 있다. 또한 집적도를 향상시키는 데도 많은 설비투자가 필요한 실정이다. 따라서, 현재 반도체 패키지의 고집적화를 위하여 많은 회사들 및 학계에서 고밀도 3차원 칩, 3차원 패키지의 적층 방

법을 연구하고 있다. 즉, 반도체 웨이퍼를 개별 반도체 소자로 절삭한 이후에 집적도를 높이는 방법을 연구하고 있다.

<23> 복수개의 단위 패키지를 3차원으로 적층하여 제조된 3차원 적층 패키지는 고집적화를 이를 수 있는 반면에, 두께가 두꺼워 반도체 제품의 경박단소화에 대한 대응성이 떨어지는 문제점을 안고 있다.

<24> 복수개의 반도체 소자를 3차원으로 적층하여 제조된 3차원 적층 칩 패키지는 고집적화를 이를 수 있는 동시에 반도체 제품의 경박단소화에 대한 대응성도 뛰어나다.

<25> 종래기술에 따른 두 개의 반도체 칩(21, 22)이 적층된 적층 칩 패키지(100)를 도 1을 참조하여 설명하면, 적층 칩 패키지(100)는 기판(10) 상부면의 중심 부분에 두 개의 반도체 칩(21, 22)이 3차원으로 적층되고, 본딩 와이어(32, 34)에 의해 기판(10)과 반도체 칩들(21, 22)이 전기적으로 연결된다. 기판(10) 상부면에 적층된 두 개의 반도체 칩(21, 22)을 포함한 기판(10) 상부면은 수지 봉합부(50)에 의해 보호된다. 그리고 기판(10) 하부면에는 두 개의 반도체 칩(21, 22)과 전기적으로 연결된 솔더 볼들(60)이 형성되어 있다. 여기서 기판(10) 상부면에 부착되는 반도체 칩(21)을 제 1 칩이라 하고, 제 1 칩(21) 위에 비전도성 접착제(40)를 매개로 부착되는 반도체 칩(22)을 제 2 칩이라 한다.

<26> 이와 같이 제 1 및 제 2 칩(21, 22)이 3차원으로 적층된 적층 칩 패키지(100)의 경우, 도 2에 도시된 바와 같이, 적층 칩 패키지의 구동시 제 1 및 제 2 칩(21, 22) 사이에 많은 양의 열이 외부로 방출되지 못하고 정체하는 것을 모

의 실험(simulation)을 통하여 확인할 수 있다. 즉, 제 1 칩(21)의 구동시 발생되는 열의 대부분은 제 1 칩(21)의 활성면을 통해서 비전도성 접착제(40)로 전달되지만, 비전도성 접착제(40)는 열전도도가 떨어지고, 비전도성 접착제(40) 위에 다시 제 2 칩(22)이 위치하고 있기 때문에, 열이 밖으로 빠져나가지 못하고 제 1 칩(21)과 제 2 칩(22) 사이의 비전도성 접착제(40)에 정체하게 된다.

<27> 이와 같이 제 1 칩(21)과 제 2 칩(22) 사이에 정체하는 열이 외부로 방출되지 못하면, 제 1 칩(21)의 활성면의 온도를 상승시키는 요인으로 작용하여 제 1 칩(21)의 특성이 떨어져 전체적으로 적층 칩 패키지(100)의 성능을 떨어뜨린다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명의 목적은 반도체 칩 사이에 발생되는 열을 외부로 신속히 방출시킬 수 있도록 하는 데 있다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위하여, 다수개의 열방출용 더미 와이어가 반도체 칩과 반도체 칩 사이를 경유하게 하고, 더미 와이어의 양단을 반도체 칩들이 부착되는 기판에 본딩함으로써, 반도체 칩 사이에 발생되는 열을 더미 와이어와 기판을 통하여 외부로 방출하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지를 제공한다.

<30> 즉, 본 발명은 기판과; 상기 기판의 상부면에 부착되며, 활성면의 가장자리에 전극 범프들이 형성된 제 1 칩과; 상기 제 1 칩의 전극 범프와 상기 기판을 전기적으로 연결하는 제 1 본딩 와이어와; 상기 제 1 칩의 상부면에 부착되며, 활성

면에 전극 범프들이 형성되어 있고 배면에 비전도성 접착층이 형성된 제 2 칩과; 상기 제 2 칩의 전극 범프와 상기 기판을 전기적으로 연결하는 제 2 본딩 와이어와; 상기 기판 상부면에 적층된 제 1 칩과 제 2 칩, 제 1 본딩 와이어와 제 2 본딩 와이어를 봉합하여 형성된 수지 봉합부; 및 상기 기판 하부면에 형성되며, 상기 제 1 및 제 2 칩과 전기적으로 연결된 복수개의 솔더 볼;을 포함하며,

<31> 상기 제 1 칩과 제 2 칩 사이를 경유하고, 양단이 상기 기판에 본딩된 복수개의 열방출용 더미 와이어;를 더 포함하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지를 제공한다.

<32> 본 발명에 따른 제 1 칩의 전극 범프는 활성면의 마주보는 양쪽의 변에 근접하게 형성되며, 더미 와이어는 제 1 칩의 전극 범프가 형성되는 양변과 이웃하는 양변을 가로지르는 방향으로 형성된다. 기판의 상부면에는 더미 와이어가 본딩되는 더미 패드가 형성된다.

<33> 본 발명에 따른 기판의 하부면에 형성된 솔더 볼 중에는, 더미 패드와 전기적으로 연결된 열방출용 더미 솔더 볼을 포함한다. 더미 솔더 볼 중에는, 적어도 하나 이상의 접지용 더미 솔더 볼을 포함할 수 있다.

<34> 본 발명에 따른 제 1 칩은 활성면에 전극 범프가 형성된 방향에 수직된 방향으로 형성된 복수개의 더미 전극 범프를 더 포함하며, 더미 와이어는 더미 전극 범프와 더미 패드를 서로 연결한다. 더미 전극 범프는 제 1 칩의 활성면의 중심 부분에 형성할 수 있다. 또는 제 1 칩의 활성면의 가장자리에 근접하게 형성하되, 더미 와이어는 더미 전극 범프가 형성된 변과 마주보는 변쪽의 기판의 더미 패드에 본딩된다.

<35> 그리고 본 발명에 따른 제 2 칩의 전극 범프는 활성면의 마주보는 양쪽의 변에 근접하게 형성되며, 본 발명에 따른 적층 칩 패키지는 제 1 칩의 전극 범프가 형성된 양변과 이웃하는 양변을 가로지르는 방향으로 형성된 더미 와이어를 더 포함할 수 있다.

<36> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<37> 도 3은 본 발명의 제 1 실시예에 따른 더미 와이어(136)를 이용한 열방출형 적층 칩 패키지(200)를 보여주는 평면도이다. 도 4는 도 3의 4-4선 단면도이다. 도 5는 도 3의 5-5선 단면도이다. 한편 도 3은 제 1 칩(121) 위에 형성되는 더미 와이어(136)를 표시하기 위해서, 제 1 칩(121) 위에 적층되는 제 2 칩의 도시를 생략하였다.

<38> 도 3 내지 도 5를 참조하면, 본 발명의 제 1 실시예에 따른 적층 칩 패키지(200)는 기판(110) 상부면에 제 1 칩(121)과 제 2 칩(122)이 3차원으로 적층되고, 기판(110) 상부면에 실장된 제 1 칩(121)과 제 2 칩(122)은 수지 통합부(150)에 의해 보호되며, 외부 접속단자인 솔더 볼(160)이 기판(110) 하부면에 형성된 구조를 갖는다. 그리고 제 1 칩(121)과 제 2 칩(122) 사이에 발생된 열을 외부로 신속히 방출시키기 위해서, 열방출 용 더미 와이어(136)가 제 1 칩(121)과 제 2 칩(122) 사이를 경유하고 양단이 기판(110) 상부면에 본딩된다.

체(112)에 적층된 구리 박막(copper foil)을 패터닝하여 형성한다. 그리고, 솔더 볼(160)이 부착될 솔더 볼 패드(115)와, 기판 패드(111)를 제외한 기판(110)의 전면에 솔더 레지스트층(118; solder resist layer)이 형성되어 있다. 한편, 기판 패드(111)와 솔더 볼 패드(115)는 기판 몸체(112)를 관통하여 형성된 비아(116)를 통하여 전기적으로 연결된다.

<40> 특히 본 발명에 따른 기판(110)의 상부면에는 더미 와이어(136)가 본딩될 수 있는 더미 패드들(111a)이 형성되며, 더미 패드들(111a)은 더미 비아(116a)를 통하여 더미 솔더 볼 패드(117a)와 전기적으로 연결된다. 여기서 더미 패드(111a), 더미 비아(116a) 및 더미 솔더 볼 패드(117a)는 열방출용으로 사용된다. 그리고 더미 패드(111a), 더미 비아(116a) 및 더미 솔더 볼 패드(117a)는 접지용으로 사용되는 더미 패드, 더미 비아 및 솔더 볼 패드를 적어도 하나 이상 포함할 수도 있지만, 신호의 입출력 단자용으로 사용되지 않는다.

<41> 한편 본 발명의 제 1 실시예에서는 기판(110)으로 인쇄회로기판을 예시하였지만, 리드 프레임, 테이프 배선기판, 세라믹 기판과 같은 배선기판을 사용할 수도 있다.

<42> 제 1 칩(121)은 활성면의 가장자리의 마주보는 양쪽의 변에 근접하게 전극 패드들(123)이 형성된 에지형 반도체 칩으로, 배면에는 비전도성 접착층(127)이 형성되어 있다. 그리고 전극 패드들(123)에는 각기 전극 범프(125)가 형성되어 있다. 따라서 제 1 칩의 비전도성 접착층(127)을 매개로 기판(110) 상부면에 부착된다.

<43> 한편 본 발명의 제 1 실시예에서는 제 1 칩(121)으로 배면에 비전도성 접착층(127)이 형성된 반도체 칩을 사용하였지만, 제 1 칩으로 배면에 비전도성 접착층이 형성되지

않은 반도체 칩을 사용할 수 있으며, 이 경우 기판 상부면에 접착제를 도포한 다음 제 1 칩을 부착하면 된다.

<44> 제 1 칩의 전극 범프(125)와 기판의 기판 패드(111)는 제 1 본딩 와이어(132)에 의해 전기적으로 연결된다. 제 1 본딩 와이어(132)의 와이어 본딩은 제 1 본딩 와이어(132)의 루프의 높이를 최소화하기 위해서, 기판 패드(111)에 볼 본딩(ball bonding)을 실시한 다음 제 1 칩의 전극 범프(125)에 스티치 본딩(stitch bonding)으로 마무리한다. 이때 기판 패드(111)는 제 1 칩의 전극 범프(125)가 형성된 변에 근접하게 형성된다.

<45> 더미 와이어(136)는 제 1 칩의 전극 패드(123)가 형성되는 양변과 이웃하는 양변에 근접한 기판(110)의 상부면에 형성된 더미 패드(111a)를 제 1 칩(121) 위를 경유하여 서로 연결한다. 즉, 더미 와이어(136)는 제 1 칩(121)의 일측에 형성된 더미 패드(111a)에 볼 본딩을 실시한 다음 제 1 칩(121)을 넘어서 맞은 편에 형성된 더미 패드(111a)에 스티치 본딩으로 본딩을 마무리한다. 그리고 더미 와이어(136)는 제 1 칩(121)의 활성면 위를 근접하게 통과할 수 있도록 형성하는 것이 바람직하지만, 신호의 입출력 단자로 사용되지 않기 때문에, 제 1 칩(121)의 활성면에 접촉하더라도 전기적 쇼트의 문제는 없다.

<46> 더미 와이어(136)로는 열전도도가 양호한 소재의 금속 세선을 사용하는 것이 바람직하며, 예컨대 본딩 와이어로 사용되는 금(Au) 또는 알루미늄(Al) 소재의 금속 세선을 사용하는 것이 바람직하다.

<47> 제 2 칩(122)은 활성면의 가장자리의 마주보는 양쪽의 변에 근접하게 전극 패드들(124)이 형성된 에지형 반도체 칩이며, 배면에는 비전도성 접착층(128)이 형성되어 있다. 그리고 전극 패드들(124)에는 각기 전극 범프(126)가 형성되어 있다. 제 2 칩(122)

은 제 1 칩(121)의 활성면에 액상의 비전도성 접착제(140)를 개재하여 부착한다. 여기서 제 2 칩(122)의 배면에 형성된 비전도성 접착층(128)은 제 1 본딩 와이어(132)와 제 2 칩(122)의 전기적 쇼트를 방지하는 역할을 한다. 제 1 실시예에서는 제 1 칩(121)과 제 2 칩(122)은 동일한 반도체 칩으로, 제 1 칩(121)과 제 2 칩(122)의 서로 대응되는 전극 패드(123, 124)가 동일선상에 올 수 있도록 적층하지만, 서로 다른 크기의 반도체 칩을 적층할 수도 있다. 그리고 크기는 서로 다르더라도 더미 와이어와의 간섭을 방지하기 위해서, 제 1 칩과 제 2 칩의 전극 패드가 동일한 방향을 향하도록 적층하는 것이 바람직하다.

<48> 제 2 칩의 전극 범프(128)와 기판의 기판 패드(111)는 제 2 본딩 와이어(134)에 의해 전기적으로 연결된다. 제 2 본딩 와이어(134)의 와이어 본딩은 제 2 본딩 와이어(134)의 루프의 높이를 최소화하기 위해서, 기판 패드(111)에 볼 본딩을 실시한 다음 제 2 칩의 전극 범프(128)에 스티치 본딩으로 마무리한다.

<49> 수지 봉합부(150)는 기판(110) 상부면에 적층된 제 1 칩(121)과 제 2 칩(122), 제 1 본딩 와이어(132)와 제 2 본딩 와이어(134) 그리고 더미 와이어(136)를 액상의 성형 수지로 봉합하여 형성된다.

<50> 그리고 외부접속단자인 솔더 볼(160)이 기판(110) 하부면의 솔더 볼 패드(115)에 용착되며, 기판(110)에 형성된 비아(116)를 통하여 솔더 볼(160)과 기판 패드(111)가 전기적으로 연결된다. 특히 솔더 볼(160)은 더미 패드(111a)와 더미 비아(116a)를 통하여 더미 솔더 볼 패드(115a)에 용착된 열방출용 더미 솔더 볼(160a)을 포함한다.

<51> 따라서 제 1 실시예에 따른 적층 칩 패키지(200)의 구동에 따라서, 제 1 칩(121)과 제 2 칩(122) 사이에 정체하는 열은 제 1 칩(121)과 제 2 칩(122) 사이에 형성된 더미

와이어(136)를 통하여, 더미 와이어(136)와 연결된 더미 패드(111a), 더미 비아(1116a), 더미 솔더 볼 패드(1115a) 및 더미 솔더 볼(160a)로 전달되어 외부로 방출된다. 즉, 더미 와이어(136)는 제 1 칩(121)과 제 2 칩(122) 사이에 정체하는 열이 외부로 방출될 수 있는 길을 제공하는 역할을 담당한다.

<52> 본 발명에서와 같이 더미 와이어(136)는 기존의 안정적인 와이어 본딩 기술을 이용하여 본딩 공정을 진행하기 때문에, 더미 와이어(136) 추가에 따른 패키지 신뢰성에 악영향을 거의 주지 않고, 더미 와이어(136) 형성에 필요한 설비 투자가 필요 없을 뿐만 아니라 추가적인 비용 부담도 최소화할 수 있다. 그리고 더미 와이어(136)의 직경이나 수를 조절함으로써, 적층 칩 패키지(200)의 열특성을 용이하게 조절할 수 있다.

<53> 본 발명의 제 1 실시예에서는 제 1 칩(121)을 중심으로 양쪽에 형성된 더미 패드(111a)를 서로 연결하도록 더미 와이어(136)를 형성하였지만, 도 6 및 도 7에 도시된 바와 같이, 제 1 칩의 활성면에 전극 패드가 형성된 방향에 수직된 방향 즉, 더미 패드가 형성된 방향으로 복수개의 더미 전극 패드를 형성하고, 더미 전극 패드와 더미 패드를 더미 와이어로 연결하여 구현할 수도 있다.

<54> 한편 도 6 및 도 7은 제 1 칩 위에 형성되는 더미 와이어 및 더미 전극 패드를 표시하기 위해서, 제 1 칩 위에 적층되는 제 2 칩의 도시를 생략하였다.

<55> 먼저 도 6에 도시된 바와 같이, 제 2 실시예에 따른 적층 칩 패키지(300)는 더미 전극 패드(223a)가 제 1 칩(221)의 활성면의 중심 부분에 형성된다. 물론 더미 전극 패드(223a)가 형성되는 영역은 전극 패드(223)가 형성된 영역과는 이격되게 형성하는 바람직하다. 더미 전극 패드(223a)는 전기적 신호의 입출력 역할을 담당하지 않으며 열방출

용으로만 사용된다. 하지만, 더미 전극 패드들(223a) 중에 일부를 접지용으로 사용할 수도 있다.

<56> 이때, 더미 전극 패드(223a)에는 더미 와이어(236)가 안정적으로 스티치 본딩될 수 있도록 더미 전극 범프(227a)를 형성하는 것이 바람직하다. 더미 와이어(236)의 일단은 더미 패드(211a)에 볼 본딩되고, 타단은 더미 전극 범프(227a)에 스티치 본딩된다.

<57> 다음으로 도 7에 도시된 바와 같이, 제 3 실시예에 따른 적층 칩 패키지(400)는 더미 전극 패드(323a)가 제 1 칩(321)의 양변에 근접하게 형성된다. 물론 더미 전극 패드(323a)가 형성되는 영역은 전극 패드(323)가 형성된 영역과는 이격되게 형성하는 바람직하며, 더미 전극 패드(323a)는 전기적 신호의 입출력 역할을 담당하지 않으며 열방출용으로만 사용된다. 하지만, 더미 전극 패드들(323a) 중에 일부를 접지용으로 사용할 수도 있다.

<58> 이때, 더미 와이어(336)가 더미 전극 패드(323a)에는 안정적으로 스티치 본딩될 수 있도록 더미 전극 범프(327a)를 형성하는 것이 바람직하다. 더미 와이어(336)의 일단은 더미 패드(311a)에 볼 본딩되고, 타단은 더미 전극 범프(327a)에 스티치 본딩된다. 그리고 더미 와이어(336)가 제 1 칩(321)의 활성면 위에 길게 위치하여 열방출에 많이 기여할 수 있도록, 서로 반대편에 위치하는 더미 패드(311a)와 더미 전극 범프(327a)를 더미 와이어(336)로 본딩한다. 즉, 더미 와이어(336)는 제 1 칩(321)의 일측의 변에 근접하게 형성된 더미 전극 범프(327a)와, 그 더미 전극 범프(327a)가 형성된 변에 마주보는 변쪽의 더미 패드(311a)를 서로 연결한다.

<59> 제 3 실시예에서는 더미 전극 범프(327a)와 더미 패드(311a)가 마주보는 양쪽에 모두 형성된 예를 개시하였지만, 일측에는 더미 전극 범프를, 일측과 마주보는 타측에 더

미 패드를 형성할 수도 있다. 그리고 양쪽에 형성된 더미 전극 범프(327a)와 더미 패드(311a)를 연결하는 더미 와이어(336)가 서로 겹치지 않도록 더미 전극 범프(327a)를 지그재그로 형성하는 것이 바람직하다. 즉, 더미 전극 범프(327a)는 일측에 형성된 더미 전극 범프 사이에 타측에 형성된 더미 전극 범프가 위치할 수 있도록 제 1 칩(321)의 활성면에 형성되고, 더미 패드(311a)는 각 더미 전극 범프(327a)에 대응되게 제 1 칩(321)을 중심으로 양측의 기판(110) 상부면에 형성된다.

<60> 그 외에 적층 칩 패키지(500)의 열방출 능력을 극대화하기 위해서, 도 8에 도시된 바와 같이, 제 2 칩(422) 위를 지나가도록 더미 와이어(438)를 더 형성할 수도 있다. 도 8에서 제 1 및 제 2 칩(421, 422) 사이에 형성된 더미 와이어(436)를 제 1 더미 와이어라 하고, 제 2 칩(422) 위를 경유하는 더미 와이어(438)를 제 2 더미 와이어라 한다.

<61> 도 8을 참조하면, 제 4 실시예에 따른 적층 칩 패키지(500)는 제 2 더미 와이어(438)가 제 2 칩(422) 위를 지나 제 1 더미 와이어(436)가 본딩되는 더미 패드(411a)에 본딩된 것을 제외하면, 제 1 실시예에 따른 적층 칩 패키지와 동일한 구조를 갖는다. 즉, 제 4 실시예에 따른 적층 칩 패키지(500)는 제 1 칩(421)과 제 2 칩(422) 사이에 발생되는 열은 제 1 더미 와이어(436)를 통하여 외부로 방출시키고, 제 2 칩(422)의 활성면 위로 방출되는 열은 제 2 더미 와이어(438)를 통하여 외부로 방출시키기 때문에, 적층 칩 패키지(500)에서 발생되는 열을 효과적으로 외부로 방출시킬 수 있다.

<62> 한편, 제 4 실시예에서는, 제 1 실시예에 따른 적층 칩 패키지의 제 2 칩(422) 위로 제 2 더미 와이어(438)가 지나가도록 형성된 예를 개시하였지만, 제 2 및 제 3 실시예에 따른 적층 칩 패키지의 제 2 칩 위로 제 2 더미 와이어가 지나가도록 형성할 수도

있다. 또한 제 2 칩 위에 제 2 및 제 3 실시예에 따른 더미 전극 패드와 더미 전극 범프를 형성하여, 더미 전극 범프와 더미 패드를 제 2 더미 와이어로 연결할 수도 있다.

<63> 그리고 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돋기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다. 예컨대, 본 발명의 실시예들에서는 적층된 두 개의 반도체 칩 사이에 더미 와이어가 형성된 예를 개시하였지만, 두 개 이상의 반도체 칩이 적층된 적층 칩 패키지에서 적층된 반도체 칩 사이에 더미 와이어를 적용하는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다.

【발명의 효과】

<64> 따라서, 본 발명의 구조를 따르면 적층된 반도체 칩 사이에 열방출용 더미 와이어가 형성되어 있기 때문에, 적층된 반도체 칩 사이에 정체하는 열을 더미 와이어를 통하여 외부로 신속히 방출시킬 수 있다. 적층 패키지에 열방출용 더미 와이어 추가로 형성하였지만, 적층 칩 패키지의 두께 또는 넓이의 변화가 거의 없으면서 열 방출 성능을 개선할 수 있다.

<65> 통상적인 반도체 패키지 제조 공정의 안정적인 와이어 본딩 공정을 이용하여 더미 와이어를 형성하기 때문에, 더미 와이어 추가에 따른 패키지 신뢰성에 악영향을 거의 주지 않고, 더미 와이어 형성에 필요한 설비 투자가 필요 없을 뿐만 아니라 추가적인 비용 부담도 최소화할 수 있다.

<66> 그리고, 적층된 반도체 칩들 사이에 형성될 더미 와이어의 직경과 수를 조절함으로
써, 적층 칩 패키지의 열 특성을 용이하게 조절할 수 있는 장점도 있다.

【특허청구범위】

【청구항 1】

기판과;

상기 기판의 상부면에 부착되며, 활성면의 가장자리에 전극 범프들이 형성된 제 1

칩과;

상기 제 1 칩의 전극 범프와 상기 기판을 전기적으로 연결하는 제 1 본딩

와이어와;

상기 제 1 칩의 상부면에 부착되며, 활성면에 전극 범프들이 형성되어 있고 배면
에 비전도성 접착층이 형성된 제 2 칩과;

상기 제 2 칩의 전극 범프와 상기 기판을 전기적으로 연결하는 제 2 본딩

와이어와;

상기 기판 상부면에 적층된 제 1 칩과 제 2 칩, 제 1 본딩 와이어와 제 2 본딩 와
이어를 통합하여 형성된 수지 통합부; 및

상기 기판 하부면에 형성되며, 상기 제 1 및 제 2 칩과 전기적으로 연결된 복수개

의 솔더 볼;을 포함하며,

상기 제 1 칩과 제 2 칩 사이를 경유하고, 양단이 상기 기판에 본딩된 복수개의 열
방출용 더미 와이어;를 더 포함하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형
적층 칩 패키지.

【청구항 2】

제 1 항에 있어서, 상기 제 1 칩의 전극 범프는 활성면의 마주보는 양쪽의 변에 근접하게 형성되며, 상기 더미 와이어는 상기 제 1 칩의 전극 범프가 형성되는 양변과 이웃하는 양변을 가로지르는 방향으로 형성된 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 3】

제 2항에 있어서, 상기 기판의 상부면에는 상기 더미 와이어가 본딩되는 더미 패드가 형성된 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 4】

제 3항에 있어서, 상기 기판의 하부면에 형성된 솔더 볼 중에는, 상기 더미 패드와 전기적으로 연결된 열방출용 더미 솔더 볼을 포함하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 5】

제 4항에 있어서, 상기 더미 솔더 볼 중에는, 적어도 하나 이상의 접지용 더미 솔더 볼을 포함하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 6】

제 3항에 있어서, 상기 제 1 칩은 활성면에 상기 전극 범프가 형성된 방향에 수직된 방향으로 형성된 복수개의 더미 전극 범프를 더 포함하며, 상기 더미 와이어는 상기 더미 전극 범프와 상기 더미 패드 사이에 본딩된 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 7】

제 6항에 있어서, 상기 더미 전극 범프는 상기 제 1 칩의 활성면의 중심 부분에 형성된 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 8】

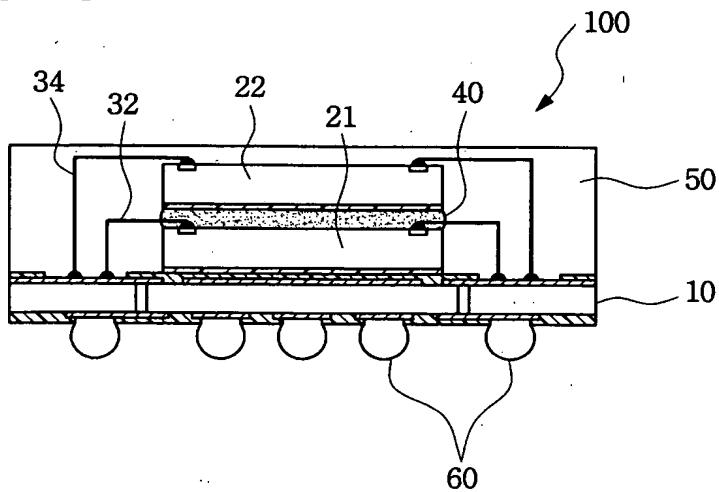
제 6항에 있어서, 상기 더미 전극 범프는 상기 제 1 칩의 활성면의 가장자리에 근접하게 형성되며, 상기 더미 와이어는 상기 더미 전극 범프가 형성된 변과 마주보는 변 쪽의 상기 기판의 더미 패드에 본딩되는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【청구항 9】

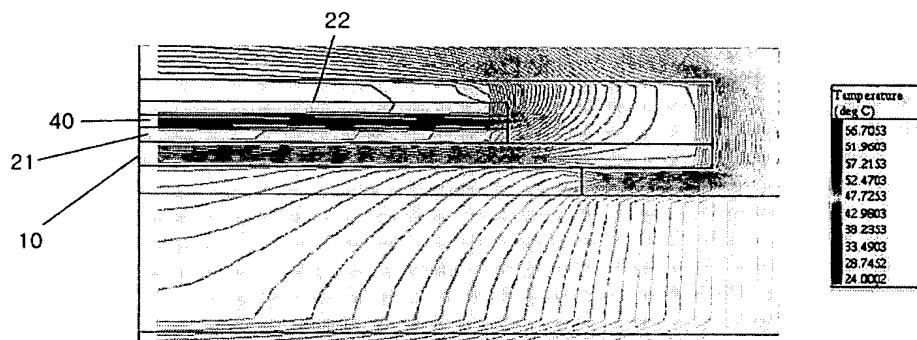
제 1항 내지 8항의 어느 한 항에 있어서, 상기 제 2 칩의 전극 범프는 활성면의 마주보는 양쪽의 변에 근접하게 형성되며, 상기 제 1 칩의 전극 범프가 형성된 양변과 이웃하는 양변을 가로지르는 방향으로 형성된 더미 와이어를 더 포함하는 것을 특징으로 하는 더미 와이어를 이용한 열방출형 적층 칩 패키지.

【도면】

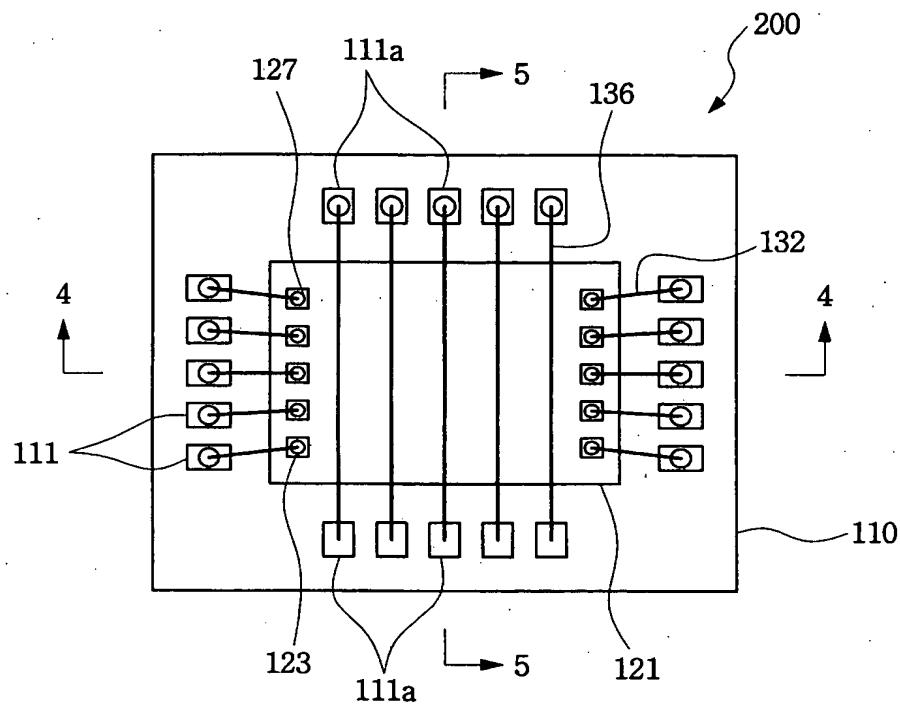
【도 1】



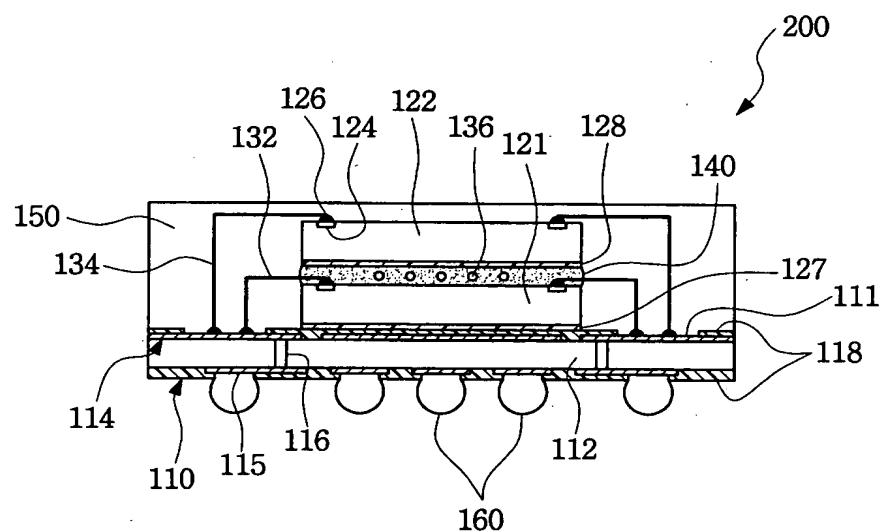
【도 2】



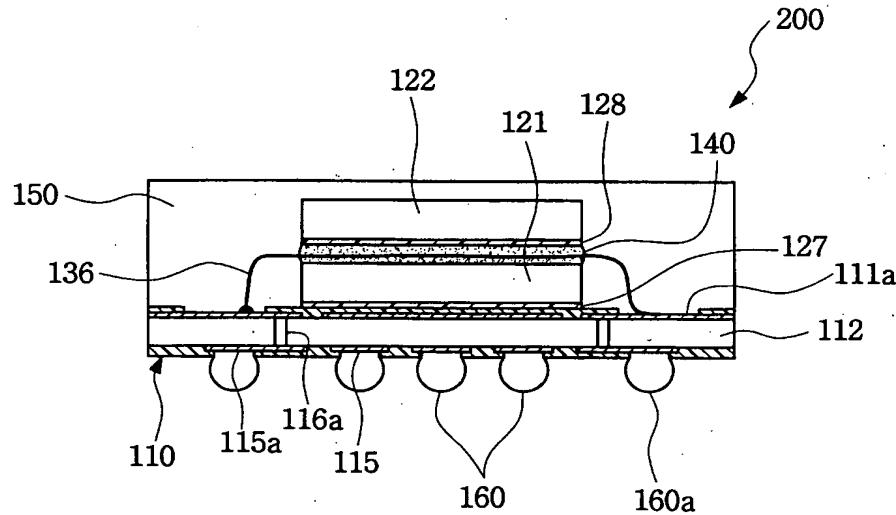
【도 3】



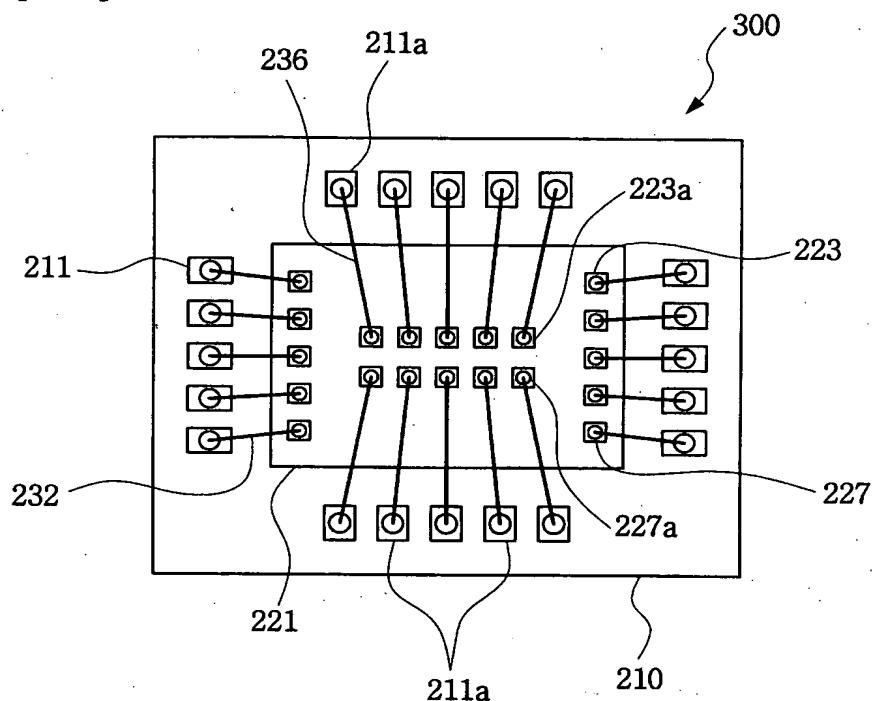
【도 4】



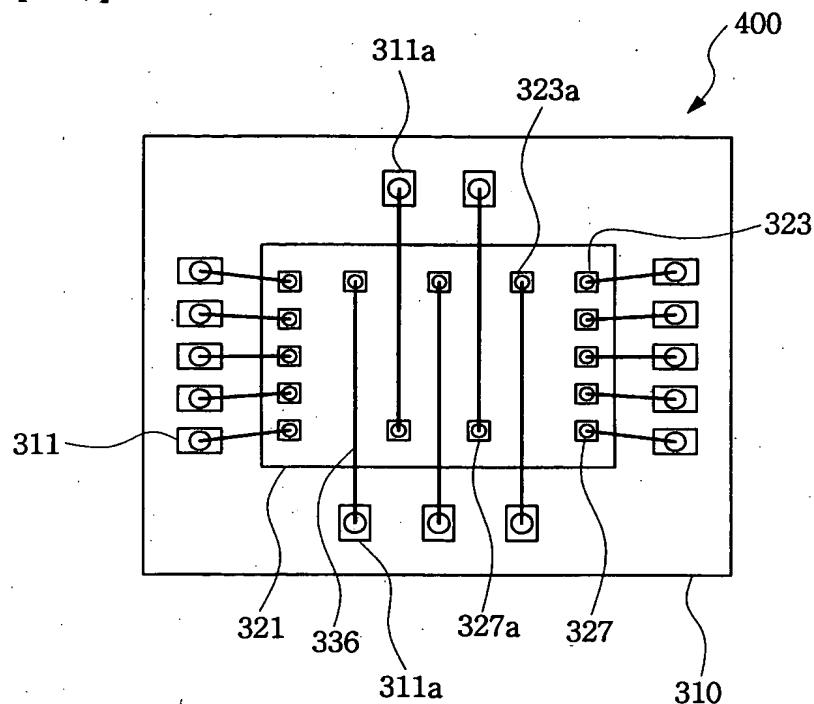
【도 5】



【도 6】



【도 7】



【도 8】

